

SEAT PROVIDED WITH COWL

Patent Number: JP2001341679
Publication date: 2001-12-11
Inventor(s): TAKEI HIROCHIKA
Applicant(s): T S TEC KK
Requested Patent: JP2001341679
Application Number: JP20000163366 20000531
Priority Number(s):
IPC Classification: B62J1/00; A47C7/02; B60N2/24; B62J23/00
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the number of part items, a weight and a cost, suppress dispersion in a joining part for a cowl and a seat to the minimum, and to enhance a product appearance.

SOLUTION: This seat is provided with a bottom plate corresponding part for a seat part, and the cowl, and the cowl and the bottom plate corresponding part are integrally molded.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(11)特許出願公開番号

特開2000-163366

(P2000-16336A)

(43)公開日 平成12年6月16日(2000.6.16)

(51) Int.Cl.⁷

識別記号

FI

テーマコート* (参考)

G O 6 F 13/38

3 3 0

G O 6 F 13/38

330A 5B077

審査請求 有 請求項の数6 OL (全 7 頁)

(21)出願番号

特願平10-340623

(22) 出願日

平成10年11月30日(1998.11.30)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 田中 幸宏

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100084250

弁理士 丸山 隆夫

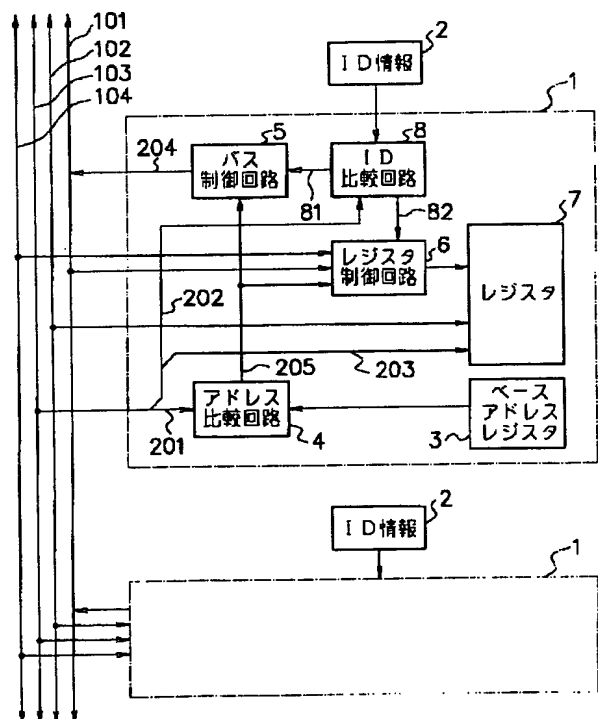
Fターム(参考) 5B077 AA01 AA04 AA18 AA33 AA43

(54) 【発明の名称】 バス・スヌープ制御回路

(57) 【要約】

【課題】 スヌープするボードとそうでないボードとの切り換えを柔軟に選択可能としたバス・スヌープ制御回路を得る。

【解決手段】 ホスト側からのライト・アクセスによって2枚の電子回路ボード1内部へ同時にデータを書き込むレジスタ7が電子回路ボード1の各々に設けられ、何れの電子回路ボード1に対してアクセスするかを示すアドレスの内の2ビットのベース・アドレス201とベース・アドレス・レジスタ3とを、アドレス比較回路4が比較する。この比較が一致する場合に動作対象となるバス制御回路5およびレジスタ制御回路6とを電子回路ボード1が有し、データ書き込みの動作対象となる。よって、データの転送と共に書き込み対象の電子回路ボード1の選択ができ、スヌープするボードとそうでないボードとの切り換えを柔軟に行うことが可能となる。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項 1】 ホスト側からバスを通してライト・アクセスし、該ライト・アクセスによって n (n は 2 以上の自然数) 枚の電子回路ボード内部へ同時にデータを書き込む前記電子回路ボードの各々に設けられたレジスタと、

前記 n 枚の電子回路ボードの内の何れかに対してアクセスするかを示すアドレスの内の M (M は 2 以上の自然数) ビットのベース・アドレスとベース・アドレス・レジスタとを比較するアドレス比較回路と、

前記比較が一致する場合に動作対象となるバス制御回路およびレジスタ制御回路と、

を有して構成されたことを特徴とするバス・スヌープ制御回路。

【請求項 2】 前記 M ビットのアドレス・ビットのうち “1” が立っている電子回路ボードが前記アクセス対象となることを特徴とする請求項 1 記載のバス・スヌープ制御回路。

【請求項 3】 前記 n 枚の電子回路ボードには、個々の電子回路ボードを識別するための、各電子回路ボード毎に異なる ID 情報が割り当てられ接続されていることを特徴とする請求項 1 または 2 に記載のバス・スヌープ制御回路。

【請求項 4】 M ビットのアドレスと ID 情報とを見て、バス制御回路とレジスタ制御回路を動作させるかどうかを指定する ID 比較回路を有することを特徴とする請求項 3 に記載のバス・スヌープ制御回路。

【請求項 5】 前記レジスタ制御回路は、コマンド線がライト・アクセスを示しており、アドレス比較回路が一致を示しており、且つ ID 比較回路から動作指示が出れば、制御線のタイミングに従って、レジスタ・アドレス (アドレス線の一部) が示すレジスタのアドレスへデータ線のデータを書き込むことを特徴とする請求項 4 に記載のバス・スヌープ制御回路。

【請求項 6】 前記バス制御回路は、アドレス比較回路が一致を示しており、ID 比較回路から動作指示が出れば、制御線のアクセスに対する応答信号を返すことを特徴とする請求項 4 または 5 に記載のバス・スヌープ制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、コンピュータ装置等にスヌープ機能を持たせるためのバス・スヌープ制御回路に関する。

【0002】

【従来の技術】 従来、バス・スヌープ制御回路は、コンピュータ装置等にスヌープ機能を持たせるための回路を言う。一般に、コンピュータ装置におけるスヌープ (またはスヌーピング) とは、例えば、キャッシュ可能な CPU を搭載したマルチプロセッサ・システムにおいて、

2

キャッシュのコヒーレンス (coherence/一貫性) を保証するために、メモリへのライト・アクセスを監視するような動作のことを言う。

【0003】 現在のコンピュータ装置で多く用いられている汎用のバス規格である PCI (Peripheral Component Interconnect) においては、一方のスヌープ機能の他に、他方の VGA (Video Graphics Array) パレット・スヌープという機能も持つことができる。

【0004】 VGA パレット・スヌープとは、2 枚のグラフィック・コントローラ・ボードが搭載されている装置であり、1 枚のグラフィック・コントローラ・ボードが VGA 互換でもう一方が VGA 非互換のときに、VGA 非互換のボードが VGA 互換ボードへのパレット・レジスタへのライト・アクセスを監視し、VGA 非互換ボードはバスへの応答はせずに、ライト・データを自分のレジスタに書き込むことである。

【0005】 上記一方のスヌープ機能の場合、キャッシュ・コヒーレンス制御用の線をバス上に設け、これを監視する方法が多く用いられている。また、他方の VGA パレット・スヌープの場合、ボード内部の実装されたレジスタのあるビットの設定情報 (VGA パレット・スヌープ・ビット) で、自分がスヌープするボードか否かを判断し、スヌープするボードと設定されている場合は、特定アドレスにライトされているデータをスヌープする。

【0006】

【発明が解決しようとする課題】 しかしながら、上記従来のスヌープ機能において、特定のデバイスに対するライト・データをスヌープする方式の場合であって、スヌープするボードとそうでないボードとを切り換える場合には、スヌープ対象となるアドレスへのデータをライトする前に、自分がスヌープするか否かを示すビットを書き換える必要がある。さらに、スヌープするか否かという設定しかないので、スヌープするという設定がされたボードがあるときにスヌープ対象アドレスへのライト・データを特定の 1 枚のボードに対してライトすることができない問題を伴う。

【0007】 本発明は、スヌープするボードとそうでないボードとの切り換えを柔軟に選択可能としたバス・スヌープ制御回路を提供することを目的とする。

【0008】

【課題を解決するための手段】 かかる目的を達成するため、本発明のバス・スヌープ制御回路は、ホスト側からバスを通してライト・アクセスし、このライト・アクセスによって n (n は 2 以上の自然数) 枚の電子回路ボード内部へ同時にデータを書き込む電子回路ボードの各々に設けられたレジスタと、 n 枚の電子回路ボードの内の何れかに対してアクセスするかを示すアドレスの内の M (M は 2 以上の自然数) ビットのベース・アドレスとベース・アドレス・レジスタとを比較するアドレス比較回

3

路と、比較が一致する場合に動作対象となるバス制御回路およびレジスタ制御回路と、を有して構成されたことを特徴としている。

【0009】また、上記のMビットのアドレス・ビットのうち“1”が立っている電子回路ボードがアクセス対象となり、上記n枚の電子回路ボードには、個々の電子回路ボードを識別するための、各電子回路ボード毎に異なるID情報が割り当てられ接続されているとよい。

【0010】さらに、MビットのアドレスとID情報とを見て、バス制御回路とレジスタ制御回路を動作させるかどうかを指定するID比較回路を有するとよい。

【0011】なお、上記のレジスタ制御回路は、コマンド線がライト・アクセスを示しており、アドレス比較回路が一致を示しており、且つID比較回路から動作指示が出ていれば、制御線のタイミングに従って、レジスタ・アドレス（アドレス線の一部）が示すレジスタのアドレスヘデータ線のデータを書き込むとよい。

【0012】さらに、上記のバス制御回路は、アドレス比較回路が一致を示しており、ID比較回路から動作指示が出ていれば、制御線のアクセスに対する応答信号を返すこととするとよい。

【0013】

【発明の実施の形態】次に添付図面を参照して本発明によるバス・スヌープ制御回路の実施の形態を詳細に説明する。図1から図9を参照すると、本発明のバス・スヌープ制御回路の構成を説明するための実施形態が示されている。

【0014】図1は、本実施形態のバス・スヌープ制御回路の一構成例を示すブロック図である。このバス・スヌープ制御回路は、あるアドレスにライトされたデータを、アドレスの特定のビット情報で指定された電子回路ボードだけを取り込むものである。複数の電子回路ボードが実装されている場合には、このアドレスのビット情報と電子回路ボードに割り当てられたID情報とに従って、バスのライト・アクセスに反応するか否か（バスの制御線へ応答を返すか否か）が決定され、バスへは必ず1つの電子回路ボードのみが応答し、他の電子回路ボードはデータをスヌープするという制御をする。本構成を以下において詳述する。

【0015】図1において、制御線101、データ線102、アドレス線103、コマンド線104は、コンピュータ装置を走るバスである。このバスには、本実施形態のバス・スヌープ回路を搭載した電子回路ボード1、1が接続されている。

【0016】図1は、電子回路ボード1が2枚接続されている状態を示している。電子回路ボード1に対してホスト側からバスを通して、電子回路ボード1内部のレジスタ7にライト・アクセスをしてくる。このライト・アクセスによって、2枚の電子回路ボード1、1内部のレジスタ7に同時にデータを書き込む。アドレス線103

4

の一部（ベース・アドレス201）をアドレス比較回路4でベース・アドレス・レジスタ3と比較して一致すれば、バス制御回路5とレジスタ制御回路6とが動作対象となる。さらに、2枚の電子回路ボード1、1の内どちらに対してアクセスするかは、アドレスの内2ビット

（電子回路ボードの枚数と同じビット数）202で示され、それぞれ2枚の電子回路ボードに対応している。このアドレス・ビットのうち“1”が立っている電子回路ボードがアクセス対象となる。

10 【0017】ID比較回路8は、2ビットのアドレス202とID情報2とを見て、バス制御回路5とレジスタ制御回路6を動作させるかどうかを指定する。レジスタ制御回路6は、ID情報に対応したアドレス202のビットが“1”になっていれば動作可能となる。バス制御回路5は、アドレス202で1枚の電子回路ボードが選択されているときはその電子回路ボードのバス制御回路5が動作可能となる。しかし、2枚の電子回路ボードが選択されている場合は、どちらか一方が動作可能となる。動作可能となったバス制御回路5は、バスのライト・アクセスに応答する。

20 【0018】図1を参照すると、電子回路ボード1には、制御線101、データ線102、アドレス線103、コマンド線104が接続されている。これらをまとめてバスと呼ぶことにする。このバスには、上述の通り、電子回路ボード1、1が2枚接続されている。

【0019】それぞれの電子回路ボード1、1には、個々の電子回路ボードを識別するためのID情報2が接続されており、各電子回路ボード毎に異なるIDが割り当てられる。また、電子回路ボード1は、ベース・アドレス・レジスタ3、アドレス比較回路4、バス制御回路5、レジスタ制御回路6、レジスタ7、ID比較回路8で構成されている。

30 【0020】アドレス比較回路4は、電子回路ボード1内部のベース・アドレス・レジスタ3とアドレス線103の一部であるベース・アドレス201とを比較して、一致しているかどうかをバス制御回路5およびレジスタ制御回路6に対してベース・アドレス一致線205を通して知らせる。

【0021】ID比較回路8は、ID情報2とアドレス線103の一部であるボード選択アドレス202とを見て、バス制御回路5およびレジスタ制御回路6を動作させるかどうかをそれぞれの回路に知らせる。

【0022】レジスタ制御回路6は、コマンド線104がライト・アクセスを示しており、アドレス比較回路4が一致を示しており、且つID比較回路8から動作指示が出ていれば、制御線101のタイミングに従って、レジスタ・アドレス203（アドレス線103の一部）が示すレジスタ7のアドレスヘデータ線102のデータを書き込む。

50 【0023】バス制御回路5は、アドレス比較回路4が

5

一致を示しており、ID比較回路8から動作指示が出ていれば、制御線101のアクセスに対する応答信号を返す。

【0024】(動作の説明)図1の回路の動作について、図面を参照して詳細に説明する。バスには2枚の電子回路ボード1、1が接続され、それぞれのID情報2は‘0’、‘1’に設定されているとする。

【0025】ID情報2=‘0’の電子回路ボード1に、データをライトすることを考える。この電子回路ボード1に対するアクセスが始まると、コマンド線104はライトを示す。2枚の電子回路ボード1、1が接続されたときの、アドレス線103のアドレス・フォーマットを図2に示す。このフォーマットは、本実施形態を説明するための一例であり、本発明においてアドレス・フォーマットを規定しない。

【0026】アドレスは、32ビットで構成されており、図のようにベース・アドレス201、ボード選択アドレス202、レジスタ・アドレス203に分けられる。ベース・アドレス201(A32~A16)は、システムあるいは電子回路ボードにおける特定のアドレス空間を示すものであり、電子回路ボード1上においてはアドレス比較回路4でベース・アドレス・レジスタ3の値と比較される。ベース・アドレス・レジスタ3の値は、システム上のメモリ・マップに基づいて設定される。

【0027】本実施形態では、電子回路ボード1の内部レジスタ7をアクセスする、空間のアドレスが割り当てられているものとする。アドレス比較回路4は、アドレス線103のベース・アドレス201とベース・アドレス・レジスタ3が一致すると、ベース・アドレス一致線205を‘1’にする。尚、一致していないときは‘0’とする。

【0028】符号A15、A14はボード選択アドレス202であり、バスに接続されている電子回路ボード1にそれぞれ対応している。本例では、A14をID情報2=‘0’、A15をID情報2=‘1’の各電子回路ボード1に対応しているものとして、それぞれのビットが‘1’の場合に、その電子回路ボードに対するアクセスを行うものとする。すなわち、ベース・アドレス一致線205が‘1’であっても、これらの2ビットが共に‘0’であれば、バス上のどの電子回路ボード1に対してもアクセスは行われない。

【0029】今は、ID情報2=‘0’の電子回路ボードに対するアクセスを考えているので、ボード選択アドレス202=‘01’となる。このボード選択アドレス202は、ID比較回路8へ入力される。ID情報2=‘0’であるので、バス制御指示線81とレジスタ制御指示線82は、共にアクティブ「1」となる。バスに電子回路ボード1が2枚接続されている場合の、ライト動作におけるID比較回路8の真理値表を図4に、そのと

6

きの回路構成を図6に示す。

【0030】図4において、ID情報は図1におけるID情報2で設定された電子回路ボードの識別値、符号A15、A14はボード選択アドレス202を示している。応答欄は、ライト動作のときにバスに対して応答するときには‘1’、しないときは‘0’で表している。スヌープ欄は、ライト・データをスヌープする場合を‘*’で表している。

【0031】図4において、ID情報は‘0’の欄を見ると、ボード選択アドレス202=‘01’（この場合A15、A14）のときには応答=‘1’となっているのでバスに応答し、ライト・データを取り込む。尚、バスに応答するとは、例えば、現在広く利用されているPCIバスの場合、図7のようにTRDY#とDEVSEL#信号を返すということである。

【0032】レジスタ・アドレス203は、ベース・アドレス201の空間に割り当てられたレジスタ7のアドレスである。レジスタ制御回路6は、コマンド線104がライトを示し、ベース・アドレス一致線205とレジスタ制御指示線82が‘1’のとき、制御線101で示されるタイミングでレジスタ7にデータをライトするタイミングを生成し、データ線102のデータがレジスタ7のレジスタ・アドレス203が示す領域へライトされる。

【0033】このときのID情報2=‘1’である電子回路ボード1の動作を考える。図4のID情報が‘1’の欄を見ると、ボード選択アドレス202=‘01’のときの応答は‘0’であり、バス制御指示線81、レジスタ制御指示線82は‘0’となるので、なにも動作しない。

【0034】また、逆にID情報2=‘1’の電子回路ボード1にデータをライトする場合は、ボード選択アドレス202=‘10’とすれば良い。図4の真理値表を参照すると、ID情報2=‘0’の電子回路ボードは応答=‘0’、ID情報2=‘1’の電子回路ボードは応答=‘1’となっているので、ID情報2=‘1’の電子回路ボードのみへデータがライトされる。尚、電子回路ボード1内部の動作は、これまでの説明と同様である。

【0035】次に、2枚の電子回路ボード1に対して同時にデータをライトすることを考える。すなわち、ボード選択アドレス202=‘11’となる場合である。図4の真理値表を見ると、ボード選択アドレス202=‘11’のときのそれぞれの電子回路ボードの応答は、ID情報2が‘0’の電子回路ボードが‘1’、ID情報が‘1’の電子回路ボードは‘0’で、スヌープはID情報2が‘1’の電子回路ボードのみ‘*’である。

【0036】応答=‘1’であるID情報2が‘0’の電子回路ボードは、これまでの説明の通り、バスからデータを取り込み内部レジスタ7にライトする。

7

【0037】応答＝‘0’であるID情報2が‘1’の電子回路ボードは、これまでの説明では何も動作しないことになっていたが、スヌープが‘*’となってる場合はデータをスヌープする。図6を参照すると、アドレスA14(112)、アドレスA15(113)が共に‘1’のとき、ID情報線111＝‘0’では、バス制御指示線81、レジスタ制御指示線82はそれぞれ‘1’となる。このため、バスに応答し、ライト・データも取り込む。ID情報線111＝‘1’では、レジスタ制御線82は‘1’になるが、バス制御線81は‘0’となる。このため、レジスタ7にはデータを書き込むが、バスに対しては応答信号を返さない。ここでまたPCIバスを例に取ると、図8は、PCIバスに対する応答信号を返さないID情報2＝‘1’の電子回路ボードの様子を示している。

【0038】実際のPCIバス上の波形は、ID情報2＝‘0’の電子回路ボードが応答信号を返しているのが図7ようになる。ID情報2＝‘1’の電子回路ボードはバス上の信号をスヌープし、ID情報2＝‘0’の電子回路ボードがデータを取り込むタイミングで自分自信もデータを取り込む。複数枚の電子回路ボードに対するアクセスに対して唯一の電子回路ボードしか応答しないのは、バス・ファイトを防ぐためである。

【0039】以上のようにして、2枚の電子回路ボードに対して同時にライトできる。バス上に接続されている2枚の電子回路ボードに対してデータをライトする場合を説明しているが、本発明は、バスに接続される電子回路ボードの枚数は限定されない。例えば3枚の電子回路ボードが接続されているなら、図3のようなアドレス構成とし、図5の真理値表に従ってID比較回路8を設計することで、3枚のうち任意の電子回路ボードに対して同時にデータがライトできる。

【0040】また、図4、図5の真理値表および、図6の回路では、複数の電子回路ボードに対して同時にライトする場合はID情報が最も小さい電子回路ボードがバスに対して応答し、他はスヌープする論理になっているが、これらの応答、スヌープする電子回路ボードを特定するものではない。

【0041】(効果の説明)第一の効果は、複数の電子回路ボードに同じデータをライトする場合に、任意の複数枚の電子回路ボードに対してライトできることである。理由は、アドレスの一部をライトする電子回路ボードを選択するためのビットに割り当てて、ビットの状態でライトする対象の電子回路ボードを指定するためである。

【0042】第二の効果は、データをスヌープする電子回路ボードを指定するシーケンスがなくなることである。理由は、アドレスの一部をライトする電子回路ボードを選択するためのビットに割り当て、電子回路ボード個別のID情報と選択されている電子回路ボードを比較

8

することで、自分がスヌープすべきかどうかを決めることができるからである。

【0043】(変化例)図9は、電子回路ボード1aの内部にID情報2が設けられたバス・スヌープ制御回路の構成例を示している。その他の構成および基本的な動作は、図1と同様である。本図9を適用したシステム上では、各電子回路ボードのレジスタ7の領域とは別の領域に割り当てられるレジスタとして見えている。よって、電子回路ボード1の初期化時に、このレジスタ(ID情報2)にIDを割り当てる。電子回路ボードにデータをライトする動作の説明は、ID情報2の物理的な位置が変わっているだけで、図1を用いた場合と全く同様である。

【0044】この変化例の場合、ID情報2は、バスのライト動作で任意の値を設定できるという効果がある。電子回路ボード1を増設したり、交換した場合にID情報2を自動設定することもできるようになる。

【0045】さらに、任意の値を設定できるということは、バスに応答する電子回路ボード1を変更できるということになり、例えば、これまでバスに応答していた電子回路ボード1が故障した場合に、その電子回路ボードを殺して別の電子回路ボードがバスに応答するような設定に変更し、故障した電子回路ボードはバス上から排除することもできるようになる。

【0046】尚、上述の実施形態は本発明の好適な実施の一例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施が可能である。

【0047】
【発明の効果】以上の説明より明らかなように、本発明のバス・スヌープ制御回路は、ホスト側からバスを通してライト・アクセスする複数枚の電子回路ボードの各々にレジスタを設け、何れに対してアクセスするかを示すベース・アドレスとベース・アドレス・レジスタとを比較する。この比較が一致する電子回路ボードがデータ書き込みの動作対象となる。よって、データの転送と共に書き込み対象の電子回路ボードの選択ができ、スヌープする電子回路ボードとそうでない電子回路ボードとの切り換えを柔軟に行うことが可能となる。

【図面の簡単な説明】

【図1】本発明のバス・スヌープ制御回路の実施形態の構成例を示すブロック図である。

【図2】2枚の電子回路ボードが接続されたときのアドレス線のアドレス・フォーマットを示す図である。

【図3】3枚の電子回路ボードが接続されたときのアドレス線のアドレス・フォーマットを示す図である。

【図4】バスに電子回路ボードが2枚接続されている場合のライト動作におけるID比較回路の真理値表を示す図である。

【図5】バスに電子回路ボードが3枚接続されている場

合のライト動作におけるID比較回路の真理値表を示す図である。

【図6】図4、図5に対応するID比較回路の回路構成例を示す。

【図7】PCIバスの場合のタイミング図である。

【図8】PCIバスに対する応答信号を返さないID情報2 = '1'の電子回路ボードのタイミング図である。

【図9】電子回路ボード1aの内部にID情報2が設けられた変化例のバス・スヌープ制御回路のブロック図である。

【符号の説明】

- 1 バス・スヌープ回路を搭載した電子回路ボード
- 2 ID情報
- 3 ベース・アドレス・レジスタ
- 4 アドレス比較回路

5 バス制御回路

6 レジスタ制御回路

7 レジスタ

8 ID比較回路

81 バス制御指示線

82 レジスタ制御指示線

101 制御線

102 データ線

103 アドレス線

104 コマンド線

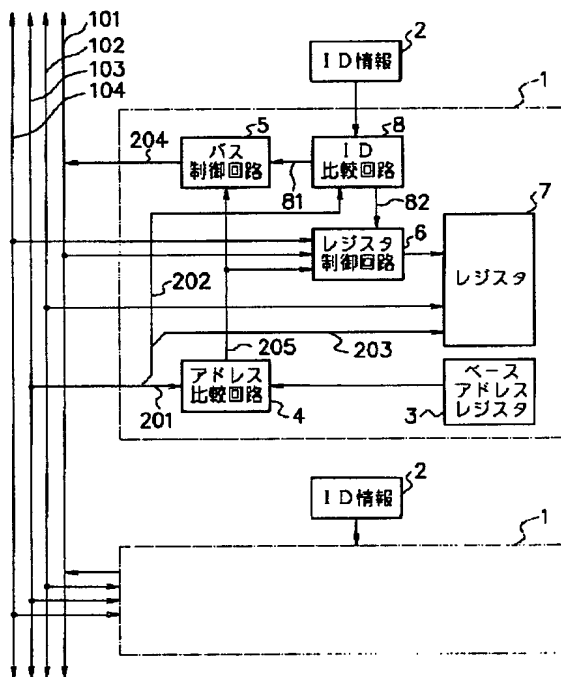
201 ベース・アドレス

202 ボード選択アドレス

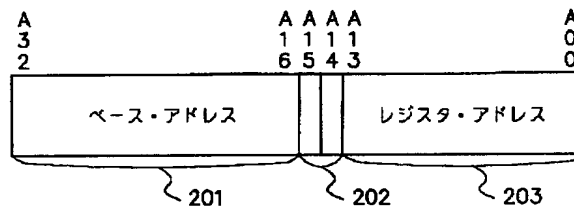
203 レジスタ・アドレス

205 ベース・アドレス一致線

【図1】



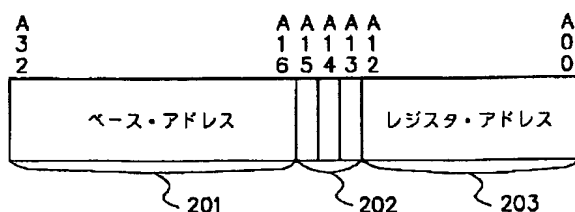
【図2】



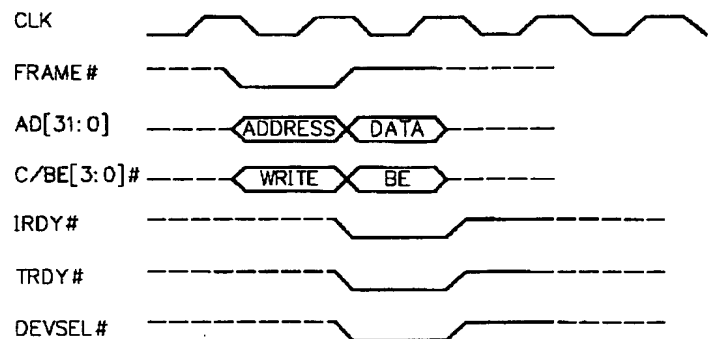
【図4】

ID情報	A15	A14	応答	スヌープ
0	0	0	0	-
0	0	1	1	-
0	1	0	0	-
0	1	1	1	-
1	0	0	0	-
1	0	1	0	-
1	1	0	1	-
1	1	1	0	*

【図3】



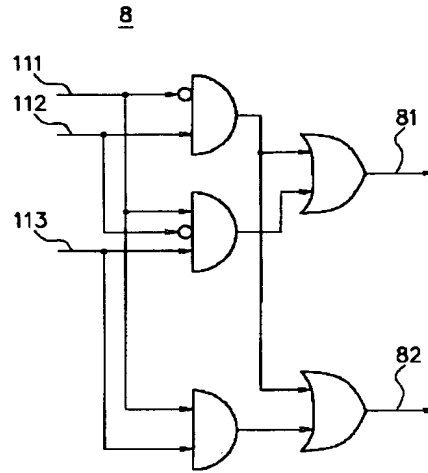
【図7】



【図5】

ID情報	A15	A14	A13	応答	スヌープ
0	0	0	0	0	-
0	0	0	1	1	-
0	0	1	0	0	-
0	0	1	1	1	-
0	1	0	0	0	-
0	1	0	1	1	-
0	1	1	0	0	-
0	1	1	1	1	-
1	0	0	0	0	-
1	0	0	1	0	-
1	0	1	0	1	*
1	1	0	0	0	-
1	1	0	1	0	-
1	1	1	0	1	-
1	1	1	1	0	*
2	0	0	0	0	-
2	0	0	1	0	-
2	0	1	0	0	-
2	0	1	1	0	-
2	1	0	0	1	-
2	1	0	1	0	*
2	1	1	0	0	*
2	1	1	1	0	*

【図6】



【図9】

【図8】

